



产品手册
ECK31-T13SA 核心板



目录

| | |
|-----------------------|----|
| 免责声明和版权公告 | 1 |
| 1. 产品概述 | 2 |
| 1.1. 产品介绍 | 2 |
| 1.2. 产品特点 | 2 |
| 1.3. 核心板功能框图 | 4 |
| 1.4. 典型应用 | 5 |
| 2. 产品选型 | 5 |
| 2.1. 型号配置 | 5 |
| 2.2. 型号编码 | 5 |
| 3. 快速体验 | 6 |
| 4. 功能和参数 | 6 |
| 4.1. 产品功能 | 6 |
| 4.2. 环境特性 | 8 |
| 4.3. I/O 特性 | 8 |
| 4.4. 电气特性 | 12 |
| 5. 核心板硬件设计 | 12 |
| 5.1. 处理器 | 12 |
| 5.2. 内存 | 13 |
| 5.3. 时钟 | 14 |
| 5.4. 存储 | 14 |
| 5.5. 网络 | 14 |
| 5.6. 电源 | 15 |
| 5.7. 在板 I/O 分配 | 16 |
| 5.8. 屏蔽罩 | 17 |
| 6. 底板硬件设计 | 17 |
| 6.1. 电源接口 | 17 |
| 6.2. 启动配置 | 18 |
| 6.3. 复位按键 | 19 |
| 6.4. 参考时钟输出 | 20 |
| 6.5. 显示输出接口 | 21 |
| 6.6. 数字摄像头接口 | 22 |
| 6.7. SD/MMC 卡接口 | 23 |
| 6.8. USB 接口 | 25 |
| 6.9. 以太网接口 | 25 |
| 6.10. CVBS 接口 | 27 |
| 6.11. 模拟音频接口 | 27 |
| 6.12. RTC | 29 |
| 6.13. 数字音频接口 | 29 |
| 6.14. UART 接口 | 30 |
| 6.15. SPI 接口 | 30 |
| 6.16. I2C 接口 | 31 |

| | |
|---------------------|----|
| 6.17. CAN 接口 | 31 |
| 6.18. ADC 接口 | 32 |
| 6.19. GPIO 接口 | 32 |
| 6.20. 硬件设计检查项 | 32 |
| 7. 软件资源 | 33 |
| 7.1. 系统资源 | 34 |
| 8. 结构尺寸 | 34 |
| 9. 焊接指导 | 35 |
| 9.1. 回流焊温度 | 35 |
| 9.2. 回流焊曲线图 | 36 |
| 10. 参考文档 | 36 |
| 11. 修订说明 | 36 |
| 12. 关于我们 | 37 |

免责声明和版权公告

本文中的信息，如有变更，恕不另行通知。文档“按现状”提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档不负任何责任，包括使用本文档内信息产生的侵犯任何专利权行为的责任。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

文中所得测试数据均为亿佰特实验室测试所得，实际结果可能略有差异。

文中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

最终解释权归成都亿佰特电子科技有限公司所有。

注意：

由于产品版本升级或其他原因，本手册内容有可能变更。亿佰特电子科技有限公司保留在没有任何通知或者提示的情况下对本手册的内容进行修改的权利。本手册仅作为使用指导，成都亿佰特电子科技有限公司尽全力在本手册中提供准确的信息，但是成都亿佰特电子科技有限公司并不确保手册内容完全没有错误，本手册中的所有陈述、信息和建议也不构成任何明示或暗示的担保。

1. 产品概述

1.1. 产品介绍

亿佰特 ECK31-T13SA 系列核心板是基于全志公司的 T113-S 系列处理器精心设计的, 采用邮票孔连接的低成本、低功耗、高性价比、高可靠性的全国产化工业嵌入式核心板。可广泛应用于工业控制、HMI、IoT 等领域。

全志 T113-S3 是一款先进的应用处理器, 专为汽车和工业控制市场而设计。T113-S 处理器是由双核 ARM Cortex-A7、RISC-V 和 HiFi4 DSP 三种异构处理器所组成, 能够为用户提供高效的计算能力。T113-S 系列处理器支持 H.265、H.264、H.263、MPEG-1/2/4、JPEG 等全格式解码, 编码器可以编码 JPEG 或 MJPEG 格式, 高达 1080@60fps。T113-S 系列处理器具有丰富的接口 RGB*1、LVDS*2、MIPI DSI*1、Parallel CSI*1、DAC*2、ADC*3、I2S/PCM*2、USB*2、SDIO*3、Ethernet*1、TWI*4、UART*6、SPI*2、PWM*8、GPADC*1、TPADC*4、CAN*2 等。

ECK31-T13SA 系列核心板包含 4 种具体产品型号, 采用全国产化器件设计。它们主要在内存容量、存储配置等方面有一些差异, 客户可根据需求自行选择合适的型号。产品选型详见产品选型章节。

ECK31-T13SA 系列核心板实物图 (产品底面无器件) 如下:



实物图

1.2. 产品特点

1、处理器: 全志 T113-S 系列处理器:

- ◆ 双核 ARM Cortex-A7, 最高主频 1.2GHz;
- ◆ RISC-V (T113-S3 处理器不支持);

◆ HiFi4 DSP;

2、处理器集成 DDR3 SDRAM, 128MB/256MB 容量可选;

3、在板存储: 8GB eMMC 或 256MB SPI NAND FLASH 可选;

4、视频输出:

◆ 1 路数字 RGB, 最大支持 1920×1080@60fps;

◆ 1 路串行 RGB, 最大支持 800×480@60fps;

◆ 1 路双通道 LVDS, 最大支持 1920×1080@60fps;

◆ 1 路 4 Lane MIPI DSI, 最大支持 1920×1200@60fps;

◆ 1 路 CVBS, 支持 NTSC 和 PAL 制式;

注: LVDS0、LVDS1 与数字 RGB 引脚复用, LVDS0 与 MIPI DSI 引脚复用, DBI 与 SPI1 引脚复用;

5、视频输入:

◆ 1 路 CSI, 8 位并行接口, 最大像素时钟 148.5MHz;

◆ 2 路 CVBS 输入, 支持 NTSC 和 PAL 制式;

6、音频接口:

◆ 集成 Audio Codec;

◆ 1 路差分 MIC 输入;

◆ 1 路双声道 LINE IN 输入;

◆ 1 路双声道 FM IN 输入;

◆ 1 路双声道 Headphone 输出;

7、网络: 1 个 10/100/1000 自适应以太网, 集成 MAC 和 PHY, MDI 接口;

8、USB: 1 路 USB2.0 DRD, 1 路 USB2.0 HOST;

9、SMHC: 集成 3 个 SMHC 控制器, 引出 1 路 SDC0 到邮票孔;

10、1 路 I2S/PCM, 支持全双工;

11、1 路 DMIC, 最高支持 8 通道, 采样率 8KHz~48KHz;

12、1 路 OWA, 兼容 S/PDIF 协议;

13、6 路 UART, 软件兼容 16450/16550 控制器, 最大波特率 4Mbps;

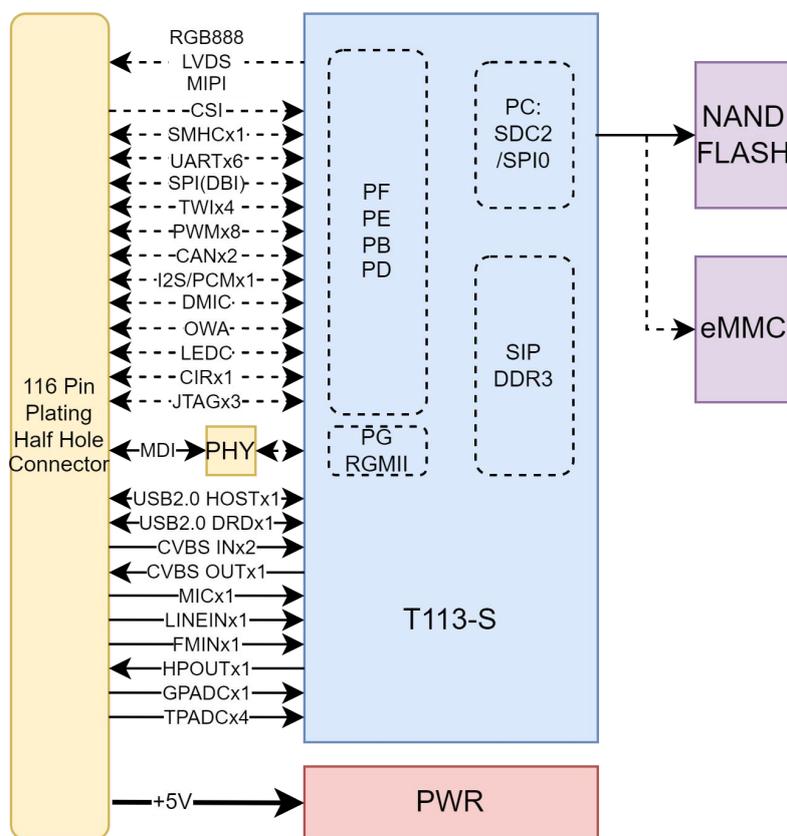
14、2 路 SPI, 引出 1 路到邮票孔, 支持 SPI 和 DBI 模式;

15、4 路 TWI, 兼容 I2C 总线标准, 支持标准模式(100Kbps)和高速模式(400Kbps);

16、1 路 CIR, 1x CIR TX 接口, 1x CIR RX 接口;

- 17、8 路 PWM，最大输出频率 24/100MHz，支持 PWM 输出、输入捕获；
- 18、2 路 GPADC，12 位分辨率，最大采样率 1MHz；
- 19、4 路 TPADC，12 位分辨率，最大采样率 1MHz，支持 4 线电阻触摸屏；
- 20、1 路 LEDC，支持 1024 个 LED 串连，最大数据传输速率 800Kbps；
- 21、2 路 CAN(CAN0、CAN1)，支持 CAN 2.0A 和 CAN 2.0B 协议；
- 22、3 路 JTAG，包含 ARM、RISC-V 和 HiFi4 DSP JTAG；
- 23、最大支持 50 路 GPIO，支持 GPIO 中断输入；
- 24、接口形式：116 脚邮票孔，间距 1.0mm；
- 25、电源：单路 DC +5V±10%@0.5A 电源输入；
- 26、尺寸：35×29×3.0mm；
- 27、工作温度：-25℃-85℃；
- 28、PCB 工艺：6 层板设计，沉金，无铅工艺；

1.3.核心板功能框图



功能框图

1.4. 典型应用

- 智能家居;
- 智能玩具;
- 智慧城市;
- 平板电脑;
- 物联网网关;
- 广告一体机;
- 工业一体机;
- 工业控制主板;
- 机器人、无人机。

2. 产品选型

2.1. 型号配置

ECK31-T13SA 系列核心板选型配置表如下表:

产品选型和配置表

| 序号 | 产品型号 | 处理器型号 | 内存 | 存储 | 工作温度 |
|----|------------------|--------------|---------------|---------------|---------------------|
| 1 | ECK31-T13SA1MN2M | T113-S3 | 128MB DDR3 | 256MB NAND | 国产工业级 -25℃ ~ 85℃ |
| 2 | ECK31-T13SA1ME8G | T113-S3 | 128MB DDR3 | 8GB eMMC | 国产工业级 -25℃ ~ 85℃ |
| 3 | ECK31-T13SA2MN2M | T113M4020DC0 | 256MB DDR3 | 256MB NAND | 国产工业级 -25℃ ~ 85℃ |
| 4 | ECK31-T13SA2ME8G | T113M4020DC0 | 256MB DDR3 | 8GB eMMC | 国产工业级 -25℃ ~ 85℃ |

2.2. 型号编码

产品型号编码说明如下图:

ECK31 - T13S A 2M E8G



型号编码说明

3. 快速体验

选择亿佰特单板机产品 ECB31-P4T13SA2ME8G, 可快速体验 ECK31-T13SA 核心板产品典型应用功能, 底板设计, 软件开发等。

4. 功能和参数

4.1. 产品功能

ECK31-T13SA 系列核心板主要集成了处理器、内存、存储和电源系统, 并引出了处理器上的所有 I/O 引脚。用户可以根据自己的需要, 设计底板来应用核心板上 I/O 资源, 将 I/O 复用成自己所需要的功能。

下表列举了 ECK31-T13SA 系列核心板在板集成的主要功能参数, 和可复用 I/O 资源的功能参数。其中每项 I/O 功能的描述是, 在不使用其他 I/O 功能的前提下, 核心板所能使用该项 I/O 功能的最大指标 (比如在使用 24 位色 RGB 接口功能和网络接口功能后, 就不能实现全部 UART 功能)。

产品功能表

| 功能 | 数量 | 功能描述 |
|--------------|----|--|
| CPU | 1 | T113-S3 or T113M4020DC0; Dual-core ARM Cortex-A7@1.2GHz; RISC-V CPU (T113-S3 not support); HiFi4 DSP; |
| MEM | 1 | T113-S3 SIP DDR3 128MB or T113M4020DC0 SIP DDR3 256MB; |
| FLASH | 1 | 在板 8GB eMMC / 在板 256MB SPI NAND FLASH 可选; |
| Video Output | 1 | RGB interface with DE/SYNC mode, up to 1920 x 1080@60fps; serial RGB/dummy RGB interface, up to 800 x 480@60fps; LVDS interface with dual link, up to 1920 x 1080@60fps; |

| | | |
|-------------|----|--|
| | | LVDS interface with single link, up to 1366 x 768@60fps; 4 lane MIPI DSI, up to 1920 x 1200@60fps; i8080 interface, up to 800 x 480@60fps; BT 656 interface for NTSC and PAL; |
| Video Input | 1 | 8 bit digital camera interface, Maximum pixel clock of 148.5 MHz; 2 channel CVBS input and 1 channel CVBS decoder; |
| Audio Codec | 1 | One stereo headphone output: HPOUTL/R; One differential microphone input: MICIN3P/3N; One stereo LINE IN input : LINEINL/R; One stereo FM IN input : FMINL/R; |
| I2S/PCM | 1 | I2S/PCM interfaces (I2S2) ; |
| DMIC | 1 | maximum 8 digital PDM microphones, sample rate from 8 kHz to 48 kHz; |
| OWA | 1 | OWA TX, Compliance with S/PDIF interface; |
| SMHC | 1 | The SMHC0 controls the devices that comply with the protocol Secure Digital Memory (SD mem version3.0); |
| USB DRD | 1 | USB 2.0 DRD (USB0), with integrated USB 2.0 analog PHY; |
| USB HOST | 1 | USB 2.0 HOST (USB1), with integrated USB 2.0 analog PHY; |
| GbE | 1 | 10/100/1000 Mbit/s Ethernet(MAC+PHY) port with Media Dependent Interface(MDI); |
| UART | 6 | Compatible with industry standard 16450/16550 UARTs, Speed up to 4 Mbit/s; |
| SPI | 1 | Supports SPI mode and display bus interface (DBI) mode; SPI mode Master/slave configurable; DBI mode Maximum resolution of RGB666 240 x 320@30Hz; |
| TWI(I2C) | 4 | Compliant with I2C bus standard, up to 400 kbit/s, supports master mode or slave mode; |
| CIR_RX | 1 | CIR_RX interface, Sample clock up to 1 MHz; |
| CIR_TX | 1 | CIR_TX interface; |
| PWM | 8 | Supports PWM channels or capture input; Various duty cycle: 0% to 100%; Output frequency range: 0 to 24 MHz or 100 MHz; |
| GPADC | 1 | Successive approximation register (SAR) analog to digital converter (ADC); 12 bit sampling resolution and 8 bit precision; Maximum sampling frequency up to 1 MHz; |
| TPADC | 4 | Supports 4 wire resistive touch panel input detection; 12 bit SAR type A/D converter; Configurable sample frequency up to 1 MHz; |
| LEDC | 1 | LEDC is used to control the external intelligent control LED lamp; Maximum 1024 LEDs serial connect; LED data transfer rate up to 800 kbit/s; |
| CAN | 2 | Supports the CAN 2.0A and 2.0B protocol specification; |
| JTAG | 3 | ARM、RISC-V、HiFi4 DSP JTAG; |
| GPIO | 50 | Supports GPIO, Supports Interrupt input; |

注:

SIP: System in Package。

OWA: One Wire Audio。

TWI: Two Wire Interface。

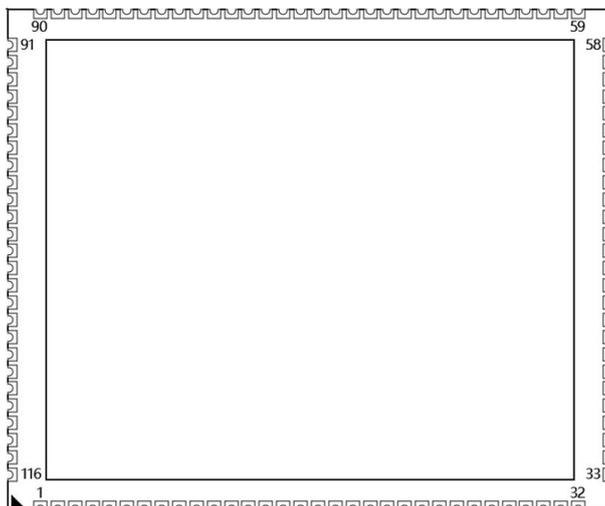
4.2.环境特性

环境特性表

| | | |
|------|------------------|---------------|
| 工作温度 | 工业级 | -25°C ~ 85°C; |
| 贮存温度 | -40°C ~ 85°C; | |
| 工作湿度 | 5~95%湿度, 非凝结; | |
| 贮存湿度 | 60°C@95%湿度, 非凝结; | |

4.3.I/O 特性

4.3.1. I/O 引脚定义



引脚编号图

引脚定义表

| Pin | Pin Name | MPU Pin | Level/Rail | Type | Length(mil) | Comment |
|-----|----------|---------|------------|------|-------------|---------|
| 1 | DGND | / | GND | PWR | / | |
| 2 | PE13_31 | 31 | 3.3V/VCCIO | I/O | 768.27 | |
| 3 | PE12_32 | 32 | 3.3V/VCCIO | I/O | 750.45 | |
| 4 | PE3_33 | 33 | 3.3V/VCCIO | I/O | 770.23 | |
| 5 | PE2_35 | 35 | 3.3V/VCCIO | I/O | 762.78 | |
| 6 | PE10_37 | 37 | 3.3V/VCCIO | I/O | 769.38 | |
| 7 | PE11_36 | 36 | 3.3V/VCCIO | I/O | 763.31 | |
| 8 | DGND | / | GND | PWR | / | |
| 9 | PE9_38 | 38 | 3.3V/VCCIO | I/O | 759.55 | |
| 10 | PE8_39 | 39 | 3.3V/VCCIO | I/O | 753.75 | |
| 11 | PE7_40 | 40 | 3.3V/VCCIO | I/O | 772.89 | |

| | | | | | | |
|----|-----------|----|------------|-----|--------|--|
| 12 | PE6_41 | 41 | 3.3V/VCCIO | I/O | 763.21 | |
| 13 | DGND | / | GND | PWR | / | |
| 14 | PE5_42 | 42 | 3.3V/VCCIO | I/O | 759.38 | |
| 15 | PE4_43 | 43 | 3.3V/VCCIO | I/O | 759.62 | |
| 16 | PE1_45 | 45 | 3.3V/VCCIO | I/O | 760.13 | |
| 17 | PE0_44 | 44 | 3.3V/VCCIO | I/O | 759.34 | |
| 18 | DGND | / | GND | PWR | / | |
| 19 | PD22_52 | 52 | 3.3V/VCCIO | I/O | 336.12 | |
| 20 | PD21_53 | 53 | 3.3V/VCCIO | I/O | 608.08 | |
| 21 | PD20_54 | 54 | 3.3V/VCCIO | I/O | 684.84 | |
| 22 | DGND | / | GND | PWR | / | |
| 23 | PD0_55 | 55 | 3.3V/VCCIO | I/O | 648.88 | |
| 24 | PD1_56 | 56 | 3.3V/VCCIO | I/O | 649.13 | |
| 25 | PD2_57 | 57 | 3.3V/VCCIO | I/O | 649.27 | |
| 26 | PD3_58 | 58 | 3.3V/VCCIO | I/O | 649.35 | |
| 27 | DGND | / | GND | PWR | / | |
| 28 | PD4_59 | 59 | 3.3V/VCCIO | I/O | 655 | |
| 29 | PD5_60 | 60 | 3.3V/VCCIO | I/O | 654.99 | |
| 30 | PD6_61 | 61 | 3.3V/VCCIO | I/O | 645.7 | |
| 31 | PD7_62 | 62 | 3.3V/VCCIO | I/O | 645.91 | |
| 32 | DGND | / | GND | PWR | / | |
| 33 | DGND | / | GND | PWR | / | |
| 34 | PD8_63 | 63 | 3.3V/VCCIO | I/O | 649.13 | |
| 35 | PD9_64 | 64 | 3.3V/VCCIO | I/O | 647.71 | |
| 36 | PD10_67 | 67 | 3.3V/VCCIO | I/O | 652.55 | |
| 37 | PD11_68 | 68 | 3.3V/VCCIO | I/O | 652.56 | |
| 38 | DGND | / | GND | PWR | / | |
| 39 | PD13_69 | 69 | 3.3V/VCCIO | I/O | 658.32 | |
| 40 | PD12_70 | 70 | 3.3V/VCCIO | I/O | 658.61 | |
| 41 | PD14_71 | 71 | 3.3V/VCCIO | I/O | 652.99 | |
| 42 | PD15_72 | 72 | 3.3V/VCCIO | I/O | 653 | |
| 43 | DGND | / | GND | PWR | / | |
| 44 | PD16_73 | 73 | 3.3V/VCCIO | I/O | 659.18 | |
| 45 | PD17_74 | 74 | 3.3V/VCCIO | I/O | 659.18 | |
| 46 | PD18_75 | 75 | 3.3V/VCCIO | I/O | 652.06 | |
| 47 | PD19_76 | 76 | 3.3V/VCCIO | I/O | 652.07 | |
| 48 | DGND | / | GND | PWR | / | |
| 49 | TVOUT0_78 | 78 | 1.8V/LDOA | AO | / | |
| 50 | DGND | / | GND | PWR | / | |
| 51 | PB7_79 | 79 | 3.3V/VCCIO | I/O | 686.54 | |
| 52 | PB6_80 | 80 | 3.3V/VCCIO | I/O | 706.23 | |
| 53 | PB5_82 | 82 | 3.3V/VCCIO | I/O | 646.19 | |
| 54 | PB4_84 | 84 | 3.3V/VCCIO | I/O | 640.02 | |

| | | | | | | |
|----|-------------|-----|------------|-----|---------|-----------------|
| 55 | PB3_85 | 85 | 3.3V/VCCIO | I/O | 704.08 | |
| 56 | PB2_86 | 86 | 3.3V/VCCIO | I/O | 717.23 | |
| 57 | NC | / | / | / | / | |
| 58 | DGND | / | GND | PWR | / | |
| 59 | DGND | / | GND | PWR | / | |
| 60 | MICIN3P_87 | 87 | 1.8V/AVCC | AI | / | |
| 61 | MICIN3N_88 | 88 | 1.8V/AVCC | AI | / | |
| 62 | FMINR_93 | 93 | 1.8V/AVCC | AI | / | |
| 63 | FMINL_94 | 94 | 1.8V/AVCC | AI | / | |
| 64 | LINEINR_95 | 95 | 1.8V/AVCC | AI | / | |
| 65 | LINEINL_96 | 96 | 1.8V/AVCC | AI | / | |
| 66 | AUD_AGND | / | AGND | PWR | / | |
| 67 | HPOUTR_98 | 98 | 1.8V/AVCC | AO | / | |
| 68 | HPOUTL_99 | 99 | 1.8V/AVCC | AO | / | |
| 69 | HPOUTFB_100 | 100 | 1.8V/AVCC | AI | / | |
| 70 | AUD_AGND | / | AGND | PWR | / | |
| 71 | GPADC0_101 | 101 | 1.8V/AVCC | AI | / | |
| 72 | TP_X1_102 | 102 | 1.8V/AVCC | AI | / | 1nF pull down |
| 73 | TP_X2_103 | 103 | 1.8V/AVCC | AI | / | 1nF pull down |
| 74 | TP_Y1_104 | 104 | 1.8V/AVCC | AI | / | 1nF pull down |
| 75 | TP_Y2_105 | 105 | 1.8V/AVCC | AI | / | 1nF pull down |
| 76 | TVIN0_108 | 108 | 1.8V/AVCC | AI | / | |
| 77 | TVIN1_109 | 109 | 1.8V/AVCC | AI | / | |
| 78 | DGND | / | GND | PWR | / | |
| 79 | USB1_DP_112 | 112 | 3.3V/VCCIO | I/O | 902.44 | |
| 80 | USB1_DM_113 | 113 | 3.3V/VCCIO | I/O | 901.2 | |
| 81 | DGND | / | GND | PWR | / | |
| 82 | USB0_DM_114 | 114 | 3.3V/VCCIO | I/O | 1107.27 | |
| 83 | USB0_DP_115 | 115 | 3.3V/VCCIO | I/O | 1107.37 | |
| 84 | DGND | / | GND | PWR | / | |
| 85 | ETH_LED0G | / | 3.3V/VCCIO | I/O | / | 4.7KΩ pull down |
| 86 | ETH_LED1Y | / | 3.3V/VCCIO | I/O | / | 4.7KΩ pull down |
| 87 | NC | / | / | / | / | |
| 88 | NC | / | / | / | / | |
| 89 | NC | / | / | / | / | |
| 90 | DGND | / | GND | PWR | / | |
| 91 | DGND | / | GND | PWR | / | |
| 92 | ETH_MDIP0 | / | 3.3V/VCCIO | I/O | 750.74 | |
| 93 | ETH_MDIN0 | / | 3.3V/VCCIO | I/O | 750.74 | |
| 94 | ETH_MDIP1 | / | 3.3V/VCCIO | I/O | 773.81 | |
| 95 | ETH_MDIN1 | / | 3.3V/VCCIO | I/O | 773.38 | |
| 96 | DGND | / | GND | PWR | / | |
| 97 | ETH_MDIP2 | / | 3.3V/VCCIO | I/O | 775.8 | |

| | | | | | | |
|-----|-----------|----|------------|-----|--------|---------------|
| 98 | ETH_MDIN2 | / | 3.3V/VCCIO | I/O | 775.46 | |
| 99 | ETH_MDIP3 | / | 3.3V/VCCIO | I/O | 764.49 | |
| 100 | ETH_MDIN3 | / | 3.3V/VCCIO | I/O | 764.72 | |
| 101 | DGND | / | GND | PWR | / | |
| 102 | PF0_7 | 7 | 3.3V/VCCIO | I/O | 937.89 | |
| 103 | PF1_8 | 8 | 3.3V/VCCIO | I/O | 948.99 | |
| 104 | PF2_9 | 9 | 3.3V/VCCIO | I/O | 951.66 | 22Ω in series |
| 105 | DGND | / | GND | PWR | / | |
| 106 | PF3_10 | 10 | 3.3V/VCCIO | I/O | 954.99 | |
| 107 | PF4_11 | 11 | 3.3V/VCCIO | I/O | 945.6 | |
| 108 | PF5_12 | 12 | 3.3V/VCCIO | I/O | 956.67 | |
| 109 | PF6_13 | 13 | 3.3V/VCCIO | I/O | 949.25 | |
| 110 | DGND | / | GND | PWR | / | |
| 111 | REFCLK_21 | 21 | 1.8V/AVCC | AO | / | |
| 112 | RESET_27 | 27 | 3.3V/VCCIO | I/O | / | 10KΩ pull up |
| 113 | 1V8_OUT | / | 1.8V | PWR | / | |
| 114 | 3V3_OUT | / | 3.3V | PWR | / | |
| 115 | V5_IN | / | 5.0V | PWR | / | |
| 116 | V5_IN | / | 5.0V | PWR | / | |

注:

- ◆ AI: 模拟量输入;
- ◆ AO: 模拟量输出;
- ◆ I/O: 数字量输入输出;
- ◆ PWR: 电源;
- ◆ 走线长度单位为 mil;
- ◆ GPIO PD 配置为 LVDS 或 MIPI 接口时, 由 1.8V 电源供电;
- ◆ 详细邮票孔引脚复用功能可查看《ECK31-T13SA Pin List》文件。

4.3.2. I/O 阻抗控制

ECK31-T13SA 系列核心板所有高速信号在 PCB 设计时都做了阻抗控制和长度控制, 核心板走线阻抗控制参数见下表。

走线阻抗控制表

| 序号 | 阻抗控制走线分类 | 阻抗控制 | 典型型号网络名称 |
|----|----------------|-----------|-------------------------------|
| 1 | USB 差分信号 | 90±10%Ω | USB1_DP_112/USB1_DM_113 |
| 2 | LVDS、MIPI 差分信号 | 100±10%Ω | PD0_55/PD1_56 |
| 3 | 模拟视频输入、输出信号 | 37.5±10%Ω | TVOUT0_78、TVIN0_108、TVIN1_109 |
| 4 | 一般单端走线 | 50±10%Ω | |

4.4. 电气特性

4.4.1. 功耗

注：以下参数是在常温环境下对 ECK31-T13SA1MN2M 核心板进行的测量，测量功耗不包含底板功耗，测量重载功耗时运行内存和 FLASH 测试程序，无显示，无底板 SDIO 访问，无网络访问。测试方法、使用功能、环境温度等因素都会影响功耗，以下功耗数据仅供参考。

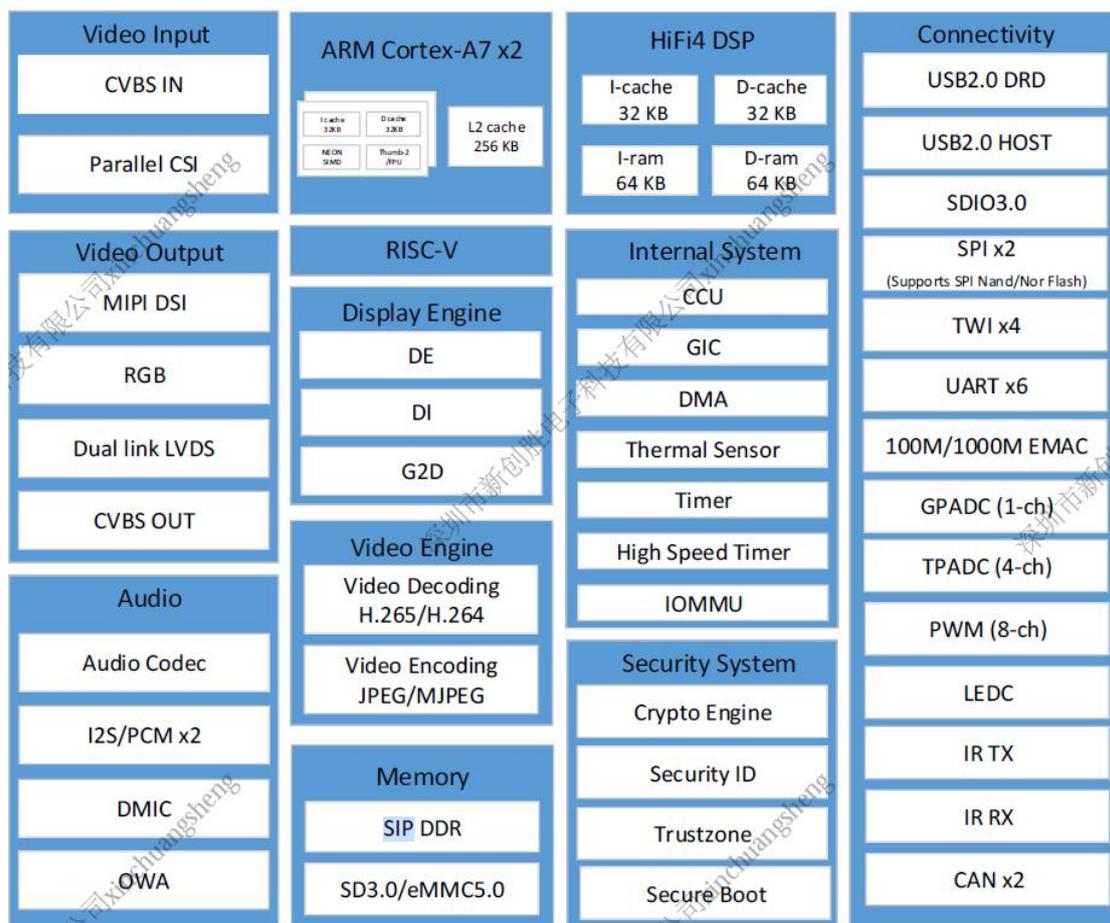
电源功耗表

| 电源状态 | 测试环境 | 电源电压 | 电流 | 功耗 |
|-------|-----------|------|--------|-------|
| BOOT | UBOOT | 5.0V | 0.194A | 0.97W |
| PWRUP | Login | 5.0V | 0.159A | 0.80W |
| PWRUP | Full load | 5.0V | 0.312A | 1.56W |
| SLEEP | Freeze | 5.0V | 0.085A | 0.43W |
| SLEEP | Mem | 5.0V | 0.047A | 0.24W |

5. 核心板硬件设计

5.1. 处理器

ECK31-T13SA 系列核心板选用全志科技 T113 系列中的 T113-S 处理器为核心。T113-S 处理器是专为 RISC-V 多媒体解码平台设计的高级应用处理器。它集成了 RISC-V、双核 ARM Cortex-A7 和 HiFi4 DSP 三种异构处理器，能够提供高效的计算能力。T113-S 与 T113-i 处理器最大的不同是 T113-S 通过 SIP 技术在芯片中集成了 DDR3 内存芯片，不用再外接 DDR 内存芯片。T113-S 支持 H.265、H.264、MPEG-1/2/4、JPEG、VC1 等全格式解码。独立编码器可以编码 JPEG 或 MJPEG。集成 ADC/DAC 和 I2S/PCM/DMIC/OWA 音频接口可以与 CPU 无缝协作，加速多媒体算法应用，并改善用户体验。T113-S 支持 RGB/LVDS/MIPI DS I/CVBS OUT 多种显示输出接口，以满足不同屏幕和显示器连接的需求。T113-S 具有丰富的扩展接口，如 CAN、USB、SDIO、EMAC、TWI、UART、SPI、PWM、GPADC、TPAD C、IR TX&RX 等。此外，T113-S 可以通过 SDIO 和 UART 与 WiFi 和蓝牙等其他不同的外围设备连接。T113-S 处理器功能框图如下图所示。



T113-S 系统功能框图

5.1.1. 处理器架构

T113-S 处理器采用多核异构设计，集成了 RISC-V、双核 ARM Cortex-A7 和 HiFi4 DSP 三种异构处理器。相关参数见下表。

T113-i 处理器架构参数表

| 功能 | 功能参数 |
|--------|---|
| ARM | Dual-core ARM Cortex™-A7, 1.2GHz; 32 KB I-cache + 32 KB D-cache + NEON SIMD + Thumb 2/FPU + 256 KB L2 cache; |
| RISC-V | RISC-V CPU, 1008MHz; 32 KB I-cache + 32 KB D-cache; T113-S3 Not Support, T113M4020DC0 Support; |
| DSP | HiFi4 DSP, 600MHz; 32 KB L1 I-cache and 32 KB L1 D-cache; 64 KB I-ram and 64 KB D-ram; |

5.2. 内存

ECK31-T13SA 系列核心板所使用的 T113-S 处理器在片内集成了 (SIP) DDR 内存，集

成内存容量见下表。

内存容量表

| 厂家 | 型号 | 容量 |
|----------------|--------------|-------|
| 全志 (Allwinner) | T113-S3 | 128MB |
| 全志 (Allwinner) | T113M4020DC0 | 256MB |

5.3.时钟

ECK31-T13SA 系列核心板在板提供 1 个 32.768KHz 晶体 (无源) 振荡电路和 1 个 24MHz 晶体 (无源) 振荡电路, 作为处理器系统时钟源。

5.4.存储

ECK31-T13SA 系列核心板在板设计有两种存储方案, 一种是 SPI FLASH 存储方案。这种存储方案选用 SLC NAND FLASH 芯片作为存储介质, 具备低成本和高可靠性的特点。另一种是 eMMC 存储方案。这种存储方案选用 eMMC 芯片作为存储介质, 具备存储容量大、单位存储成本低和使用方便的特点。因两种存储方案复用了相同的 I/O 资源, 一种型号的核心板产品只支持一种存储方案。用户需要根据具体项目对存储的要求, 选用对应型号的核心板产品。

SPI NAND FLASH 通过 SPI0 总线连接到处理器上。器件采用兆易创新 (GigaDevice) 公司的 GD5F2GM7UEYIGR (256MB) 工业级 SPI NAND FLASH。

eMMC 存储器通过 SMHC (SDC2) 总线连接到处理器上。器件采用国产 eMMC 存储芯片, 芯片型号见下表。

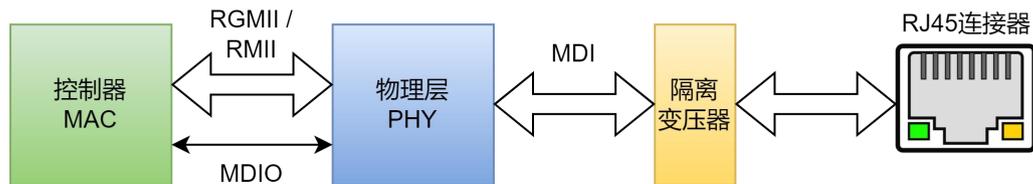
eMMC 芯片选型表

| 厂家 | 型号 | 容量 | 工作温度 |
|---------------|------------------|-----|--------------|
| 江波龙 (Longsys) | FEMDNN008G-08A39 | 8GB | -25°C ~ 85°C |
| 得一微 (YEESTOR) | SGM8000C-S27B8G | 8GB | -25°C ~ 85°C |

注: 具体贴装内存芯片型号以实物为准。

5.5.网络

ECK31-T13SA 系列核心板支持 1 路 10M/100M/1000M 自适应以太网接口。通常一个 RJ45 以太网接口主要由以太网控制器 MAC (Media Access Control), 以太网物理层接口 PHY (Physical Layer), 以太网变压器, RJ45 连接器几部分组成, 如下图所示。



RJ45 以太网组成

ECK31-T13SA 系列核心板已经集成了以太网 PHY 电路,用户只需外扩隔离变压器和以太网连接器即可实现千兆以太网功能。以太网 PHY 芯片通过 RGMII 接口与处理器中的网络控制器 (MAC) 连接,所使用的 RGMII 接口引脚分配详见“核心板在板复用 I/O 分配表”。PHY 芯片时钟连接到处理器 EPHY_25M 时钟输出上,软件配置时应注意处理器的时钟输出分配。PHY 芯片上电硬件默认配置情况如下表所示。

PHY 芯片硬件配置表

| 配置功能 | 配置状态 |
|-------------|------|
| PHY ADDRESS | 001 |
| RX DELAY | 1 |
| TX DELAY | 1 |
| PLL OFF | 0 |

PHY 芯片 LED 驱动功能和上电硬件配置功能复用了相同的 I/O 引脚。在使用这些引脚驱动 LED 时应注意 LED 驱动电路对 PHY 芯片上电硬件配置功能的影响。例如当引脚配置为下拉电阻时,外部不能直接驱动 LED 的阴极,可以直接驱动 LED 的阳极。ECK31-T13SA 系列核心板 PHY 芯片 LED 引脚配置和功能说明见下表。

PHY 芯片 LED 配置和功能表

| LED 引脚 | 邮票孔引脚 | 配置状态 | 功能说明 |
|---------------|-----------|----------------|----------------------------------|
| LED0_CFG_EXT | NC | Pull up 4.7K | High=Link Up at 10M Blink=T/R; |
| LED1_CFG_LD0 | ETH_LED0G | Pull down 4.7K | High=Link Up at 100M Blink=T/R; |
| LED2_CFG_LDO1 | ETH_LED1Y | Pull down 4.7K | High=Link Up at 1000M Blink=T/R; |

5.6. 电源

ECK31-T13SA 系列核心板采用分离电源方案,严格按照 T113-S 手册中的电压、功率和时序要求进行设计。ECK31-T13SA 系列核心板采用单路直流+5V 电源供电,外部只需要提供 V5_IN 一路电源输入,其他电源都由核心板内部产生,无需额外供电。

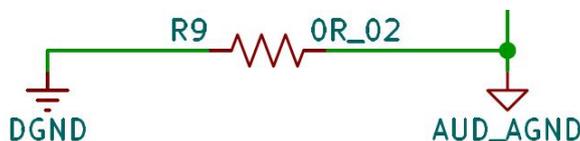
ECK31-T13SA 系列核心板还提供两路电源输出,分别是 3V3_OUT 和 1V8_OUT,可用于底板小功率器件供电和底板 I/O 接口上电时序控制。两路输出电源相关参数见下表。

输出电源参数表

| 电源网络名 | 电源类型 | 电源域 | 典型电压 | 最大电流 |
|---------|------|-------|------|-------|
| 3V3_OUT | BUCK | VCCIO | 3.3V | 500mA |
| 1V8_OUT | LDO | AVCC | 1.8V | 100mA |

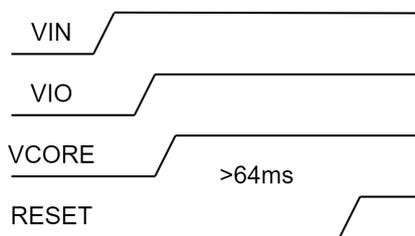
ECK31-T13SA 系列核心板，在板未设计备用电池供电的 RTC 功能，所以核心板没有 RTC 电源接口。如果需要备用电池供电的 RTC 功能，可以通过 I2C 总线在底板扩展 RTC 芯片实现。

ECK31-T13SA 系列核心板提供两种电源地引脚，分别是数字信号地 DGND 和音频模拟信号地 AUD_AGND。电源功率地和数字信号均参考 DGND，音频模拟信号参考 AUD_AGND。两种地在核心板上采用单点连接，原理如下图所示。



AUD_AGND 单点接地原理图

ECK31-T13SA 系列核心板电源域和上电时序非常简单，主要电源域就只有 VIN，VIO 和 VCORE 三部分。其中 VCORE 只和处理器有关，和用户 I/O 接口无关，应用时可不关注。ECK31-T13SA 系列核心板上电时序如下图所示。



核心板上电时序图

ECK31-T13SA 系列核心板所有对外 I/O 接口都属于 VIO 电源域（包括 VCCIO、LDOA、AVCC 电源域），底板可使用核心板输出的 3V3_OUT 和 1V8_OUT 电源作为底板 I/O 接口电源域的控制信号使用。

5.7.在板 I/O 分配

ECK31-T13SA 系列核心板上部分功能占用了 T113-S 处理器的 I/O 功能，这些 I/O 功能未引出到邮票孔，用户在软件配置时应注意这些 I/O 的功能配置。具体占用的 I/O 如下表所示。

核心板在板复用 I/O 分配表

| MPU I/O 引脚 | 网络名称 | 核心板功能描述 |
|------------|-------------------|------------------------|
| 19 | PC2_eCLK_SCLK | eMMC CLK / SPI0 CLK |
| 18 | PC3_eCMD_SCS | eMMC CMD / SPI0 CS |
| 17 | PC4_eD2_SMOSI | eMMC DATA2 / SPI0 MOSI |
| 16 | PC5_eD1_SMISO | eMMC DATA1 / SPI0 MISO |
| 15 | PC6_eD0_SWP | eMMC DATA0 / SPI0 WP |
| 14 | PC7_eD3_HOLD | eMMC DATA3 / SPI0 HOLD |
| 120 | PG0_RGMII_RXCTRL | RGMII_RXCTRL |
| 118 | PG1_RGMII_RXD0 | RGMII_RXD0 |
| 119 | PG2_RGMII_RXD1 | RGMII_RXD1 |
| 121 | PG3_RGMII_TXCK | RGMII_TXCK |
| 123 | PG4_RGMII_TXD0 | RGMII_TXD0 |
| 122 | PG5_RGMII_TXD1 | RGMII_TXD1 |
| 1 | PG6_RGMII_TXD2 | RGMII_TXD2 |
| 2 | PG7_RGMII_TXD3 | RGMII_TXD3 |
| 3 | PG8_RGMII_RXD2 | RGMII_RXD2 |
| 4 | PG9_RGMII_RXD3 | RGMII_RXD3 |
| 5 | PG10_RGMII_RXCK | RGMII_RXCK |
| 6 | PG11_EPHY_25M | EPHY_25M |
| 124 | PG12_RGMII_TXCTRL | RGMII_TXCTRL |
| 125 | PG13_RGMII_RSTN | RGMII_RSTN |
| 126 | PG14_RGMII_MDC | RGMII_MDC |
| 127 | PG15_RGMII_MDIO | RGMII_MDIO |

5.8.屏蔽罩

ECK31-T13SA 系列核心板上都设计有屏蔽罩。屏蔽罩可以起到保护核心板器件和减小电磁干扰的作用，也提供了产品铭牌的功能，标识有产品型号和主要配置参数。屏蔽罩金属壳体直接连接到电源地，在整机设计时应注意系统接地关系。

6. 底板硬件设计

6.1.电源接口

对于嵌入式产品设计，电源系统的设计至关重要，不但需要考虑电源本身的基本电气参数，还要考虑电源的稳定性设计、时序设计等多种因素。ECK31-T13SA 系列核心板采用了单电源供电方案，并提供电源时序管理信号，尽量简化用户底板电源设计。

6.1.1. 电源输入

ECK31-T13SA 系列核心板采用单路直流+5V 电源供电，对应邮票孔连接器的 115、116 引脚，供电电源引脚名为 V5_IN。供电电压范围为 5.0V±10%。ECK31-T13SA 系列核心板正常功耗为 1.5W 左右。底板在对核心板供电电源设计时，要考虑 I/O 输出功耗和更多功能同时运行时增加的功耗，还要考虑高温下元器件功耗的增加，所以建议核心板供电电流设计不应小于 0.5A。

如果采用 DC-DC 电源对核心板供电，在电源设计时电源功率裕度也不应太大。如果电源设计功率太大，很多电源为保证转换效率，会工作在不连续 PWM 模式下，输出电源纹波会显著增大，不利于数字信号系统的工作稳定性。如果采用 LDO 对核心板供电，设计时应考虑 LDO 自身的功率损耗和工作温升，防止在高温环境或散热不好的环境中工作时，LDO 电源超温停止工作或烧毁。

6.1.2. 电源输出

ECK31-T13SA 系列核心板还提供两路电源输出，分别是 3V3_OUT 和 1V8_OUT，可用于底板小功率器件供电和底板 I/O 接口上电时序控制。

6.1.3. 电源控制

ECK31-T13SA 系列核心板所有对外 I/O 接口都属于 VIO 电源域，底板可使用核心板输出的 3V3_OUT 和 1V8_OUT 电源作为底板 I/O 接口电源域的控制信号使用。

6.1.4. 引脚定义

电源引脚定义表

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|-----|----------|-----|------------|-----|------|--------------|
| 66 | AUD_AGND | | 0V/- | PWR | | 音频模拟地 |
| 70 | AUD_AGND | | 0V/- | PWR | | 音频模拟地 |
| 113 | 1V8_OUT | | 1.8V / VIO | PWR | | 最大供电电流 500mA |
| 114 | 3V3_OUT | | 3.3V / VIO | PWR | | 最大供电电流 100mA |
| 115 | V5_IN | | 5V / VIN | PWR | | 5V 电源输入 |
| 116 | V5_IN | | 5V / VIN | PWR | | 5V 电源输入 |

6.2. 启动配置

6.2.1. 启动顺序配置

ECK31-T13SA 系列核心板启动时，处理器会读取 BOOT_Select 的状态，选择枚举介质

的顺序。T113-S 处理器有 2 个 BOOT_Select 引脚与 PC 引脚复用，默认内部上拉，启动配置关系如下表所示。

T113 Boot Select 配置表

| ECK31-T13SA 存储配置 | PC5 BOOT-SEL1 | PC4 BOOT-SEL0 | Boot Media |
|---------------------|------------------|------------------|----------------------------------|
| -- | 0 | 0 | SPI NOR => SPI NAND |
| -- | 0 | 1 | SMHC0 => SPI NOR => Other media |
| SPI NAND 存储 | 1 | 0 | SMHC0 => SPI NAND => Other media |
| eMMC 存储 | 1 | 1 | SMHC0 => eMMC2 => Other media |

ECK31-T13SA 系列核心板 PC5 和 PC4 没有引出到邮票孔，核心板已经将启动顺序配置好了，无需用户底板配置。所有 ECK31-T13SA 系列核心板配置优先从 SMHC0 启动，后续枚举顺序根据在板存储方式不同而不同，如上表所示。

6.2.2. FEL 引脚

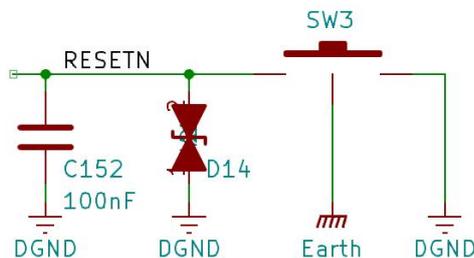
ECK31-T13SA 系列核心板没有提供固件强制烧录引脚 FEL。通常情况核心板将优先从 SDC0 接口的 SD 卡启动。产品生产过程中可以通过该 SD 卡进行软件测试和固件烧写。如果核心板启动过程中没有找到可引导的程序，核心板将尝试通过 USB DRD 接口启动。这时也可以通过 USB 烧写固件。

如果核心板上存储器有引导程序的情况下，想更新固件有两种方法。方法一是通过 SD 卡更新在板存储器中的固件。方法二是先通过在板固件启动，在启动时通过调试串口，长按键盘“2”键，也可以跳转到 USB DRD 启动。

6.3. 复位按键

ECK31-T13SA 系列核心板引出的 RESET_27 信号可以连接外部复位按键，用于实现对处理器的复位控制。RESET_27 信号为输入输出双向信号，可以作为外部复位输入，用于复位处理器，也是处理器内部电源复位信号输出。RESET_27 信号在核心板内提供了 10K 欧姆上拉电阻。因此在底板应用 RESET_27 信号作为手动复位输入时不要再连接上拉电阻，直接连复位接按键，或者通过三态门驱动。不要通过推挽输出的接口驱动 RESET_27 信号，如果外部信号直接驱动 RESET_27 信号可能导致处理器内部复位时序错误，或复位功能损坏。在连接手动复位输入按键时，可以放置小电容和 TVS 器件来减小干扰和提高 ESD 性能。复位输入按键参考原理图如下图所示。

6.3.1. 参考电路



复位按键参考原理图

注：复位和电源按键信号不要随意通过电阻上拉。如果上拉电源轨不正确，会导致在系统待机或关机的时候，引起不确定信号输入到按键信号接口。

6.3.2. 引脚定义

按键引脚定义表

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|-----|----------|-----|------------|-----|------|--------------|
| 112 | RESET_27 | 27 | 3.3V/VCCIO | I/O | | 10KΩ pull up |

6.3.3. LAYOUT 建议

- ❖ 复位信号是敏感信号，可以包地处理或远离干扰较大的信号；
- ❖ 复位信号 TVS 管尽可能靠近按键摆放。

6.4. 参考时钟输出

6.4.1. REFCLK

处理器 DCXO 时钟模块可以通过 REFCLK_21 引脚扇出与主时钟同频率的时钟信号。该时钟信号可以提供给底板上的器件做时钟输入，例如 WiFi 模块。在使用该时钟参考输出时要考虑该时钟电平、精度、上电顺序是否适合底板器件。如果不满足，建议不要使用该时钟信号。

6.4.2. 引脚定义

按键引脚定义表

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|-----|-----------|-----|-----------|----|------|----|
| 111 | REFCLK_21 | 21 | 1.8V/AVCC | AO | | |

6.5.显示输出接口

ECK31-T13SA 系列核心板支持 RGB888 (RGB666)、双通道 LVDS (与 RGB 接口复用引脚)、MIPI DSI (与 RGB 接口复用引脚)、SPI (DBI) 显示接口。PD I/O 上如果只使用一组 LVDS, 其他 PD 的 I/O 可以作为普通 I/O 使用。

- 双通道 LVDS 接口最高支持 1920×1080@60fps;
- 单通道 LVDS 接口最高支持 1366×768@60fps;
- 并行 RGB 接口最高支持 1920×1080@60fps;
- SPI 接口最高支持 800×480@60fps;
- 4-lane MIPI DSI 接口最高支持 1920×1200@60fps。

DBI 接口与 SPI1 的复用关系如下表所示。

DBI 与 SPI1 复用表

| DBI 功能 | SPI1 功能 |
|---------------------|-----------|
| DBI-CSX | SPI1-CS |
| DBI-SCLK | SPI1-CLK |
| DBI-SDO/SDA | SPI1-MOSI |
| DBI-SDI(WRX)/TE/DCX | SPI1-MISO |
| DBI-DCX/WRX | SPI1-HOLD |
| DBI-TE | SPI1-WP |

客户可以根据自己的需求配置显示分辨率和显示数据格式。屏幕应用中, 可以使用 GP IO 控制屏幕电源和背光电源。可以使用 PWM 输出控制背光亮度。还可以使用 I2C 和 GPIO 外部中断功能连接触摸屏。可选用亿佰特的液晶触摸屏模块配合使用, 相关模块信息详见官网 <https://www.ebyte.com/>。

6.5.1. 接口定义

显示接口定义表

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|----|---------|-----|------------|-----|--------|----------------------------|
| 20 | PD21_53 | 53 | 3.3V/VCCIO | I/O | 608.08 | LCD0_VSYNC |
| 21 | PD20_54 | 54 | 3.3V/VCCIO | I/O | 684.84 | LCD0_HSYNC |
| 23 | PD0_55 | 55 | 3.3V/VCCIO | I/O | 648.88 | LCD0_D2/LVDS0_V0P/DSI_D0P |
| 24 | PD1_56 | 56 | 3.3V/VCCIO | I/O | 649.13 | LCD0_D3/LVDS0_V0N/DSI_D0N |
| 25 | PD2_57 | 57 | 3.3V/VCCIO | I/O | 649.27 | LCD0_D4/LVDS0_V1P/DSI_D1P |
| 26 | PD3_58 | 58 | 3.3V/VCCIO | I/O | 649.35 | LCD0_D5/LVDS0_V1N/DSI_D1N |
| 28 | PD4_59 | 59 | 3.3V/VCCIO | I/O | 655 | LCD0_D6/LVDS0_V2P/DSI_CKP |
| 29 | PD5_60 | 60 | 3.3V/VCCIO | I/O | 654.99 | LCD0_D7/LVDS0_V2N/DSI_CKN |
| 30 | PD6_61 | 61 | 3.3V/VCCIO | I/O | 645.7 | LCD0_D10/LVDS0_CKP/DSI_D2P |

| | | | | | | |
|----|---------|----|------------|-----|--------|-----------------------------|
| 31 | PD7_62 | 62 | 3.3V/VCCIO | I/O | 645.91 | LCD0_D11/LVDS0_CKN/DSI_D2N |
| 34 | PD8_63 | 63 | 3.3V/VCCIO | I/O | 649.13 | LCD0_D12/LVDS0_V3P/DSI_D3P |
| 35 | PD9_64 | 64 | 3.3V/VCCIO | I/O | 647.71 | LCD0_D13/LVDS0_V3N/DSI_D3N |
| 36 | PD10_67 | 67 | 3.3V/VCCIO | I/O | 652.55 | LCD0_D14/LVDS1_V0P/DBI_CSX |
| 37 | PD11_68 | 68 | 3.3V/VCCIO | I/O | 652.56 | LCD0_D15/LVDS1_V0N/DBI_SCLK |
| 39 | PD13_69 | 69 | 3.3V/VCCIO | I/O | 658.32 | LCD0_D19/LVDS1_V1N/DBI_SDI |
| 40 | PD12_70 | 70 | 3.3V/VCCIO | I/O | 658.61 | LCD0_D18/LVDS1_V1P/DBI_SDO |
| 41 | PD14_71 | 71 | 3.3V/VCCIO | I/O | 652.99 | LCD0_D20/LVDS1_V2P/DBI_DCX |
| 42 | PD15_72 | 72 | 3.3V/VCCIO | I/O | 653 | LCD0_D21/LVDS1_V2N/DBI_TE |
| 44 | PD16_73 | 73 | 3.3V/VCCIO | I/O | 659.18 | LCD0_D22/LVDS1_CKP |
| 45 | PD17_74 | 74 | 3.3V/VCCIO | I/O | 659.18 | LCD0_D23/LVDS1_CKN |
| 46 | PD18_75 | 75 | 3.3V/VCCIO | I/O | 652.06 | LCD0_CLK/LVDS1_V3P |
| 47 | PD19_76 | 76 | 3.3V/VCCIO | I/O | 652.07 | LCD0_DE/LVDS1_V3N |
| 51 | PB7_79 | 79 | 3.3V/VCCIO | I/O | 686.54 | LCD0_D17 |
| 52 | PB6_80 | 80 | 3.3V/VCCIO | I/O | 706.23 | LCD0_D16 |
| 53 | PB5_82 | 82 | 3.3V/VCCIO | I/O | 646.19 | LCD0_D9 |
| 54 | PB4_84 | 84 | 3.3V/VCCIO | I/O | 640.02 | LCD0_D8 |
| 55 | PB3_85 | 85 | 3.3V/VCCIO | I/O | 704.08 | LCD0_D1 |
| 56 | PB2_86 | 86 | 3.3V/VCCIO | I/O | 717.23 | LCD0_D0 |

6.5.2. LAYOUT 建议

- ❖数据及时钟差分对需遵循等长等距规则，差分对误差控制+5mil，差分阻抗 100 欧；
- ❖差分走线少打过孔，保证差分对同时打过孔，并在差分对过孔旁放置地孔；
- ❖数据差分对需要以时钟差分对为参考做组间等长，等长+50mil；
- ❖差分走线参考平面应完整，走线不要跨分割；
- ❖如果底板 RGB 信号设计有串联匹配电阻，建议靠近核心板邮票孔放置；
- ❖RGB 信号在核心板内已做等长处理，核心板内走线长度见引脚定义表；
- ❖核心板内 RGB 信号按照单端 $50\Omega \pm 10\%$ 阻抗控制，底板阻抗控制建议保持一致；
- ❖建议底板 RGB 信号走线做等长控制，误差范围 $\pm 25\text{mil}$ ，信号线间距至少 2W。

6.6. 数字摄像头接口

ECK31-T13SA 系列核心板 CSI 接口支持 8bit DVP 接口、BT656 接口和 BT601 接口输入，并行 CSI 接口可支持最大像素时钟为 148.5MHz，BT656 接口在时钟双沿采样模式下，可支持 $2*1080\text{p}@30\text{fps}$ 输入。ECK31-T13SA 系列核心板 CSI 接口只支持 3.3V I/O 电平。

在实际底板应用中，并行 CSI 接口会占用大量 I/O 引脚，减少其他复用功能，可以考虑

使用 USB 接口摄像头实现摄像头功能。

6.6.1. 接口定义

数字摄像头接口定义表

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|----|---------|-----|------------|-----|--------|-------------|
| 4 | PE3_33 | 33 | 3.3V/VCCIO | I/O | 770.23 | NCSI0_MCLK |
| 5 | PE2_35 | 35 | 3.3V/VCCIO | I/O | 762.78 | NCSI0_PCLK |
| 6 | PE10_37 | 37 | 3.3V/VCCIO | I/O | 769.38 | NCSI0_D6 |
| 7 | PE11_36 | 36 | 3.3V/VCCIO | I/O | 763.31 | NCSI0_D7 |
| 9 | PE9_38 | 38 | 3.3V/VCCIO | I/O | 759.55 | NCSI0_D5 |
| 10 | PE8_39 | 39 | 3.3V/VCCIO | I/O | 753.75 | NCSI0_D4 |
| 11 | PE7_40 | 40 | 3.3V/VCCIO | I/O | 772.89 | NCSI0_D3 |
| 12 | PE6_41 | 41 | 3.3V/VCCIO | I/O | 763.21 | NCSI0_D2 |
| 14 | PE5_42 | 42 | 3.3V/VCCIO | I/O | 759.38 | NCSI0_D1 |
| 15 | PE4_43 | 43 | 3.3V/VCCIO | I/O | 759.62 | NCSI0_D0 |
| 16 | PE1_45 | 45 | 3.3V/VCCIO | I/O | 760.13 | NCSI0_VSYNC |
| 17 | PE0_44 | 44 | 3.3V/VCCIO | I/O | 759.34 | NCSI0_HSYNC |

6.6.2. LAYOUT 建议

- ❖ CSI 信号在核心板内已做等长处理，核心板内走线长度见引脚定义表；
- ❖ 核心板内 CSI 信号按照单端 $50\ \Omega \pm 10\%$ 阻抗控制，底板阻抗控制建议保持一致；
- ❖ 建议底板 CSI 信号走线做等长控制，误差范围 $\pm 25\text{mil}$ ，信号线间距至少 2W。

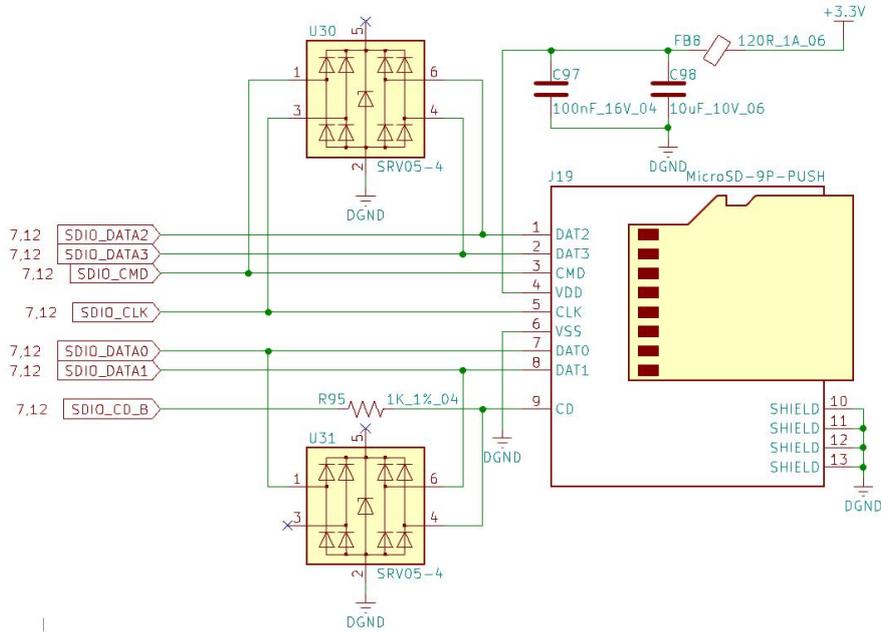
6.7.SD/MMC 卡接口

ECK31-T13SA 系列核心板搭载了 3 路 SMHC (SD/MM host controller) 控制器，包括 SMHC0、SMHC1、SMHC2。SMHC0 符合 Secure Digital Memory v3.0 协议，通常用于连接 SD 卡。SMHC1 符合 Secure Digital I/O v3.0 协议，通常用于连接扩展功能，例如 WiFi 模块。SMHC2 符合 Multimedia Card v5.0 协议，通常用于连接 eMMC 存储芯片。ECK31-T13SA 系列核心采用 SMHC2 扩展了在板 eMMC 存储芯片。推荐底板使用 SMHC0 连接 SD 卡。由于 SMHC1 的部分 I/O 与 RGMII 接口复用，ECK31-T13SA 系列核心板未引出 SMHC1 功能到邮票孔。

处理器的 I/O 可以配置片内上拉电阻。这些上拉电阻可满足 SD 卡接口扩展时的上拉需求，用户设计无需外部上拉电阻。核心板在 PF2_9 的时钟信号上已经串联了 22 欧姆匹配电阻，用户设计也无需外部串联电阻。通过 SMHC0 接口扩展 Micro SD 卡，可参考以下原理

图设计。

6.7.1. 参考电路



SD 卡参考电路图

6.7.2. 引脚定义

SMHC0 接口信号引脚定义

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|-----|--------|-----|------------|-----|--------|----------|
| 102 | PF0_7 | 7 | 3.3V/VCCIO | I/O | 937.89 | SDC0_D1 |
| 103 | PF1_8 | 8 | 3.3V/VCCIO | I/O | 948.99 | SDC0_D0 |
| 104 | PF2_9 | 9 | 3.3V/VCCIO | I/O | 951.66 | SDC0_CLK |
| 106 | PF3_10 | 10 | 3.3V/VCCIO | I/O | 954.99 | SDC0_CMD |
| 107 | PF4_11 | 11 | 3.3V/VCCIO | I/O | 945.6 | SDC0_D3 |
| 108 | PF5_12 | 12 | 3.3V/VCCIO | I/O | 956.67 | SDC0_D2 |

6.7.3. LAYOUT 建议

- ❖核心板内 SMHC 信号按照单端 $50\Omega \pm 10\%$ 阻抗控制，底板阻抗控制建议保持一致；
- ❖SMHC 信号在核心板内已做等长处理，核心板内走线长度见引脚定义表；
- ❖建议底板 SMHC 信号（不含插入检测信号）走线做等长控制，误差范围 $\pm 50\text{mil}$ ，信号线间距至少 2W；
- ❖插入检测信号串联 1K 欧姆电阻，提高 ESD 性能；
- ❖时钟信号与其他信号的距离遵循 3W 规则。

6.8.USB 接口

ECK31-T13SA 系列核心板支持 2 路 USB2.0 接口。USB0 支持 HOST 和 Device 模式，USB1 仅支持 HOST 模式。

如果用户使用 USB 的 OTG 功能，则 USB 接口推荐使用 MICRO USB 接口，因为该接口是 5 线接口，有 USB_ID（可通过 GPIO 功能复用实现）信号，可以用来识别 HOST 和 DEVICE，从而实现 OTG 功能。如果用户不使用 USB 的 OTG 功能，只当做 USB HOST 使用，那么 USB 接口选择 4 线、5 线的接口都可以。

由于 T113 系列处理器的 USB 接口信号未提供单独的 VBUS 电源供电。USB 接口信号属于 VIO 电源域。当 USB 接口作为 DEVICE 使用时，应避免外部 HOST 设备先上电。如果外部 HOST 设备先上电，在 USB OTG 信号上可能会形成漏电，有影响处理器启动或损坏接口功能的风险。

6.8.1. 引脚定义

USB 接口信号引脚定义

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|----|-------------|-----|------------|-----|---------|---------|
| 79 | USB1_DP_112 | 112 | 3.3V/VCCIO | I/O | 902.44 | USB1-DP |
| 80 | USB1_DM_113 | 113 | 3.3V/VCCIO | I/O | 901.2 | USB1-DM |
| 82 | USB0_DM_114 | 114 | 3.3V/VCCIO | I/O | 1107.27 | USB0-DM |
| 83 | USB0_DP_115 | 115 | 3.3V/VCCIO | I/O | 1107.37 | USB0-DP |

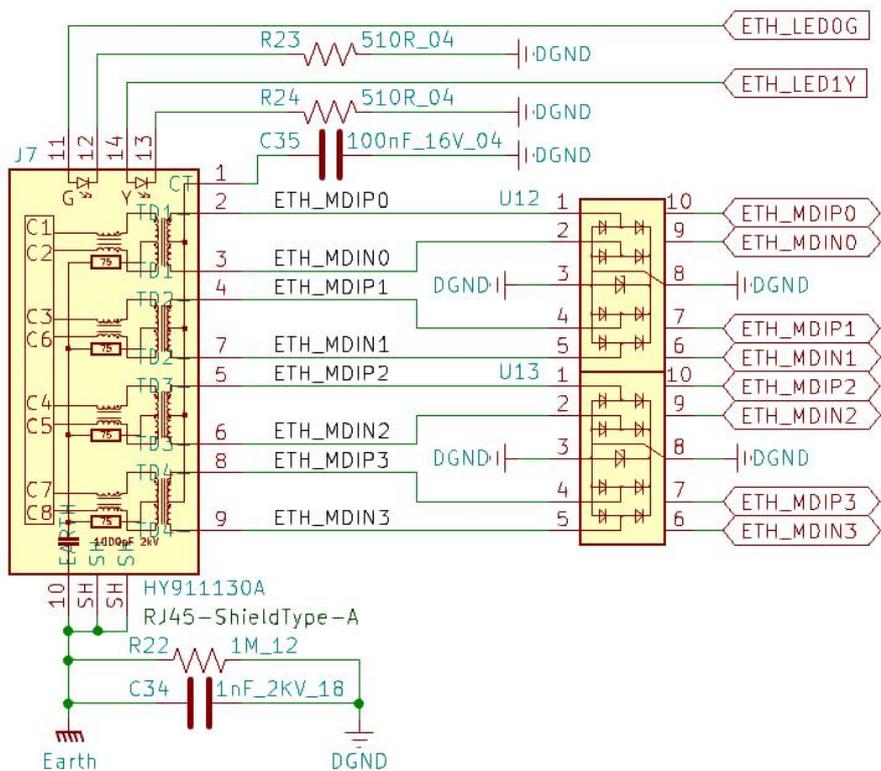
6.8.2. LAYOUT 建议

- ❖USB 信号走线做等长控制，差分对内误差±5mil，相邻差分对间距 3W 以上；
- ❖USB 信号的差分阻抗按 90Ω控制；
- ❖USB 信号线尽可能短。

6.9.以太网接口

ECK31-T13SA 系列核心板已经集成了以太网 PHY 电路，用户只需外扩隔离变压器和以太网连接器即可实现千兆以太网功能。

6.9.1. 参考电路



以太网接口参考电路图

注：以太网状态指示信号如果直接驱动 LED，只能按照上图连接 LED 阳极。如果需要驱动 LED 阴极，请增加 LED 驱动电路，防止 LED 电路影响 PHY 的上电配置状态。

6.9.2. 引脚定义

以太网接口信号引脚定义

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|-----|-----------|-----|------------|-----|--------|-----------|
| 85 | ETH_LED0G | / | 3.3V/VCCIO | I/O | / | ETH_LED0G |
| 86 | ETH_LED1Y | / | 3.3V/VCCIO | I/O | / | ETH_LED1Y |
| 92 | ETH_MDIP0 | / | 3.3V/VCCIO | I/O | 750.74 | ETH_MDIP0 |
| 93 | ETH_MDIN0 | / | 3.3V/VCCIO | I/O | 750.74 | ETH_MDIN0 |
| 94 | ETH_MDIP1 | / | 3.3V/VCCIO | I/O | 773.81 | ETH_MDIP1 |
| 95 | ETH_MDIN1 | / | 3.3V/VCCIO | I/O | 773.38 | ETH_MDIN1 |
| 97 | ETH_MDIP2 | / | 3.3V/VCCIO | I/O | 775.8 | ETH_MDIP2 |
| 98 | ETH_MDIN2 | / | 3.3V/VCCIO | I/O | 775.46 | ETH_MDIN2 |
| 99 | ETH_MDIP3 | / | 3.3V/VCCIO | I/O | 764.49 | ETH_MDIP3 |
| 100 | ETH_MDIN3 | / | 3.3V/VCCIO | I/O | 764.72 | ETH_MDIN3 |

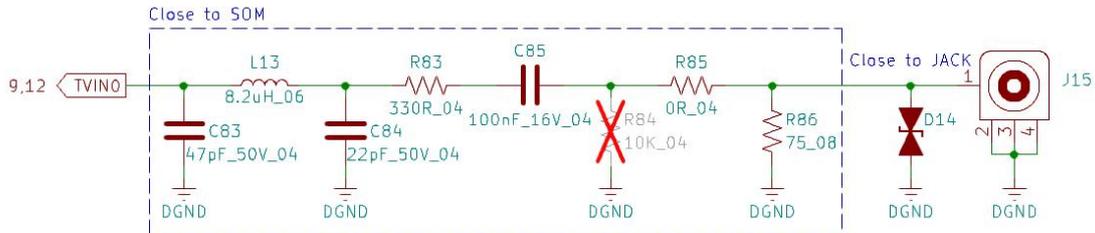
6.9.3. LAYOUT 建议

❖网络差分信号做等长控制，差分对内误差 $\pm 25\text{mil}$ ，相邻差分对间距 $3W$ 以上；

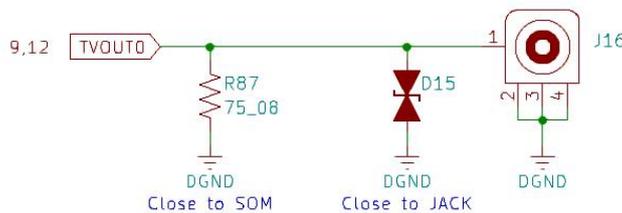
6.10. CVBS 接口

ECK31-T13SA 核心板提供 2 路 CVBS 模拟视频输入，1 路 CVBS 模拟视频输出。只需在底板放置少量滤波、匹配和保护电路就可以实现模拟视频输入、输出接口功能。

6.10.1. 参考电路



CVBS 输入接口电路图



CVBS 输出接口电路图

6.10.2. 引脚定义

模拟视频信号引脚定义

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|----|-----------|-----|-----------|----|------|--------|
| 49 | TVOUT0_78 | 78 | 1.8V/LDOA | AO | / | TVOUT0 |
| 76 | TVIN0_108 | 108 | 1.8V/LDOA | AI | / | TVIN0 |
| 77 | TVIN1_109 | 109 | 1.8V/LDOA | AI | / | TVIN1 |

6.10.3. LAYOUT 建议

- ❖ 靠近接口放置 TVS;
- ❖ 匹配 75 欧姆电阻有功率要求，建议 0805 或以上尺寸封装;
- ❖ 走线阻抗控制为 37.5 欧姆;
- ❖ 模拟信号走线，应远离干扰，可包地处理。

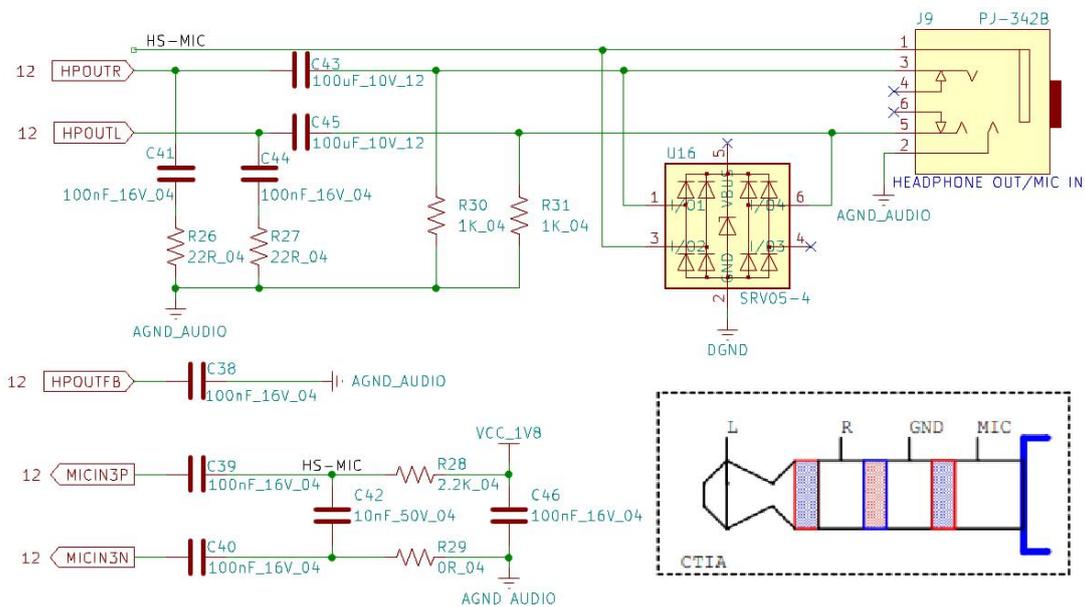
6.11. 模拟音频接口

ECK31-T13SA 核心板处理器芯片内部集成了音频 codec 功能，可提供模拟音频接口功

能。ECK31-T13SA 核心板引出了 1 路模拟音频输出接口（HPOUT），3 路模拟音频输入接口（MICIN、FMIN、LINEIN）。用户在底板上仅用设计简单的接口电路即可实现模拟音频输入、输出功能。

注：在 T113M4020DC0 处理器模拟音频测试时，发现其麦克风输入会存在较大噪音，需要将软件 MIC 输入增益调到最低，才能降低噪音的影响，但录音质量仍然不如 T113 其他处理器。如果产品需要较高的录音质量，推荐采用数字音频接口，外扩 codec 芯片实现音频接口功能。

6.11.1. 参考电路



模拟音频耳麦接口原理图

6.11.2. 引脚定义

模拟音频信号引脚定义

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|----|-------------|-----|------------|-----|------|---------|
| 60 | MICIN3P_87 | 87 | 1.8V/AVCC | AI | / | MICIN3P |
| 61 | MICIN3N_88 | 88 | 1.8V/AVCC | AI | / | MICIN3N |
| 62 | FMINR_93 | 93 | 1.8V/AVCC | AI | / | FMINR |
| 63 | FMINL_94 | 94 | 1.8V/AVCC | AI | / | FMINL |
| 64 | LINEINR_95 | 95 | 1.8V/AVCC | AI | / | LINEINR |
| 65 | LINEINL_96 | 96 | 1.8V/AVCC | AI | / | LINEINL |
| 67 | HPOUTR_98 | 98 | 1.8V/HPVCC | AO | / | HPOUTR |
| 68 | HPOUTL_99 | 99 | 1.8V/HPVCC | AO | / | HPOUTL |
| 69 | HPOUTFB_100 | 100 | 1.8V/HPVCC | AI | / | HPOUTFB |
| 66 | AUD_AGND | / | AGND | PWR | / | |
| 70 | AUD_AGND | / | AGND | PWR | / | |

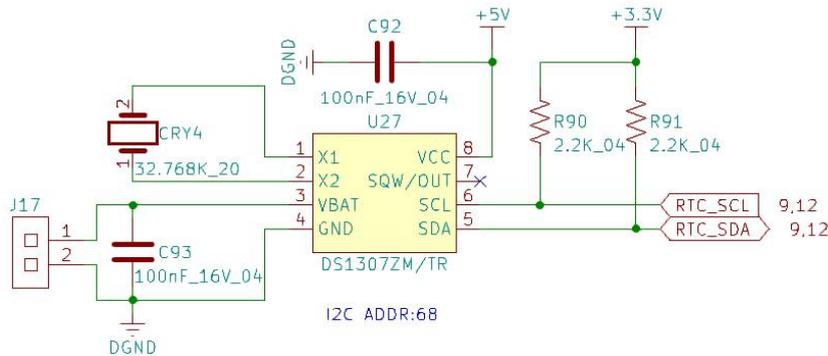
6.11.3. LAYOUT 建议

- ❖ 靠近接口放置 TVS;
- ❖ 模拟信号走线, 应远离干扰, 可包地处理。

6.12.RTC

ECK31-T13SA 核心板上没有使用备用电池供电的 RTC, 如果用户需要这种 RTC 功能, 可以通过 I2C 总线在底板上扩展该功能。

6.12.1. 参考电路



RTC 参考电路图

6.13.数字音频接口

ECK31-T13SA 核心板支持多种形式的数字音频接口, 包括 PCM/I2S、DMIC、OWA。常用的数字音频接口为 PCM/I2S。ECK31-T13SA 核心板引出 1 路完整的 PCM/I2S 信号到邮票孔接口。

在 PCM/I2S 数字音频接口底板电路设计中, 需要把数字音频接口信号接到音频编解码芯片上, 通过音频编解码芯片实现耳机、麦克风、扬声器等音频接口功能。

6.13.1. 引脚定义

PCM/I2S 信号引脚定义

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|----|--------|-----|------------|-----|--------|------------|
| 51 | PB7_79 | 79 | 3.3V/VCCIO | I/O | 686.54 | I2S2_MCLK |
| 52 | PB6_80 | 80 | 3.3V/VCCIO | I/O | 706.23 | I2S2_LRCK |
| 53 | PB5_82 | 82 | 3.3V/VCCIO | I/O | 646.19 | I2S2_BCLK |
| 54 | PB4_84 | 84 | 3.3V/VCCIO | I/O | 640.02 | I2S2_DOUT0 |

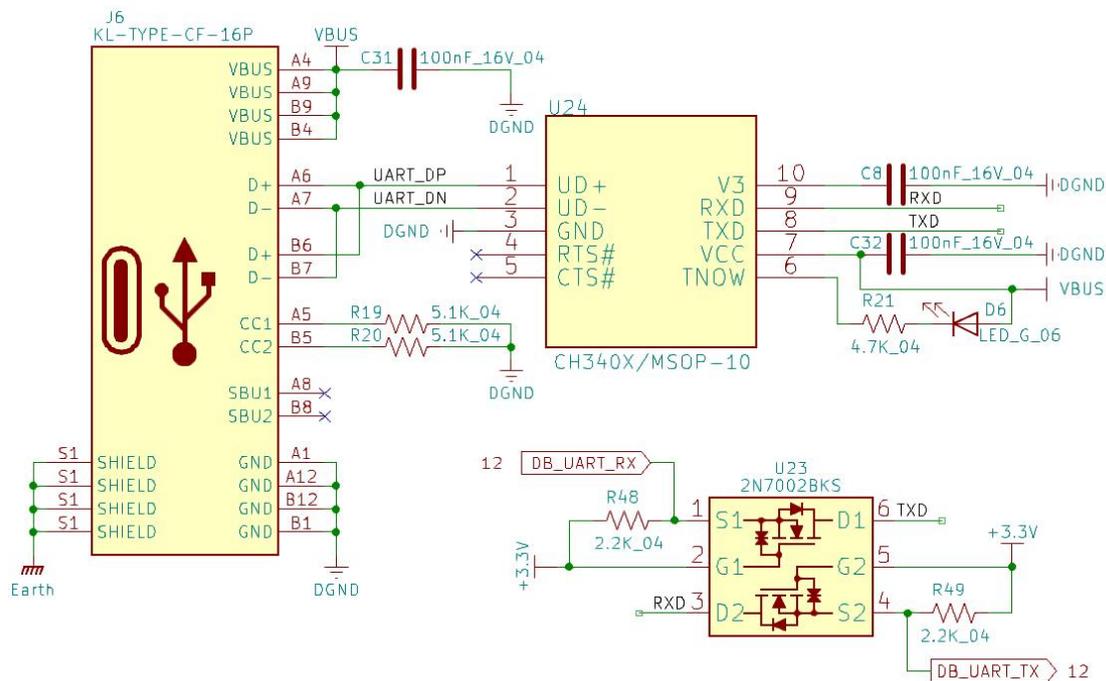
| | | | | | | |
|-----|--------|----|------------|-----|--------|----------------------|
| 55 | PB3_85 | 85 | 3.3V/VCCIO | I/O | 704.08 | I2S2_DOUT1/I2S2_DIN0 |
| 56 | PB2_86 | 86 | 3.3V/VCCIO | I/O | 717.23 | I2S2_DOUT2/I2S2_DIN2 |
| 102 | PF0_7 | 7 | 3.3V/VCCIO | I/O | 937.89 | I2S2_DOUT1/I2S2_DIN0 |
| 103 | PF1_8 | 8 | 3.3V/VCCIO | I/O | 948.99 | I2S2_DOUT0/I2S2_DIN1 |
| 106 | PF3_10 | 10 | 3.3V/VCCIO | I/O | 954.99 | I2S2_BCLK |
| 108 | PF5_12 | 12 | 3.3V/VCCIO | I/O | 956.67 | I2S2_LRCK |
| 109 | PF6_13 | 13 | 3.3V/VCCIO | I/O | 949.25 | I2S2_MCLK |

6.14.UART 接口

ECK31-T13SA 核心板最大支持 6 路的异步串口，最高支持 4Mbps 波特率。核心板软件默认使用 UART 0（PE2、PE3）作为调试串口。

6.14.1. 参考电路

为方便调试，底板上可以通过 USB 转串口芯片将调试串口引出为 USB 接口，USB 转串口电路原理图可参考下图。CH340X 芯片和 MOSFET 电路，可以有效的解决串口 I/O 电平兼容和电源域上电时序的问题，防止 USB 接口和核心板 I/O 之间出现漏电。



USB 调试串口参考原理图

6.15.SPI 接口

ECK31-T13SA 系列核心板引出 1 路 SPI 接口，支持主/从模式。SPI 信号包括 SPI_CLK、SPI_SS、SPI_MOSI 和 SPI_MISO，设计时要先确认主从设备的关系，进而确认 MOSI 和 M

ISO 信号的方向。1 路 SPI 只提供 1 个片选信号。ECK31-T13SA 系列核心板的 SPI 接口也可以支持 DBI 显示功能。

6.15.1. 引脚定义

SPI 信号引脚定义

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|----|---------|-----|------------|-----|--------|----------------------------------|
| 36 | PD10_67 | 67 | 3.3V/VCCIO | I/O | 652.55 | SPI1_CS/DBI_CSX |
| 37 | PD11_68 | 68 | 3.3V/VCCIO | I/O | 652.56 | SPI1_CLK/DBI_SCLK |
| 39 | PD13_69 | 69 | 3.3V/VCCIO | I/O | 658.32 | SPI1_MISO/DBI_SDI/DBI_TE/DBI_DCX |
| 40 | PD12_70 | 70 | 3.3V/VCCIO | I/O | 658.61 | SPI1_MOSI/DBI_SDO |
| 41 | PD14_71 | 71 | 3.3V/VCCIO | I/O | 652.99 | SPI1_HOLD/DBI_DCX/DBI_WRX |
| 42 | PD15_72 | 72 | 3.3V/VCCIO | I/O | 653 | SPI1_WP/DBI_TE |

6.16.I2C 接口

ECK31-T13SA 系列核心板支持 4 路 I2C 控制器，支持 2 种时钟频率模式，标准模式下的速率为 100Kbit/s，快速模式下的速率为 400Kbit/s。

同一 I2C 总线下可以挂载若干个设备，在原理图设计时需要注意以下几点：

- a) 检查同一总线下的设备地址是否冲突；
- b) 保证每条 I2C 总线上都有一对上拉电阻，阻值建议 2.2K~10K，但不要重复添加；
- c) 核心板内未提供 I2C 总线上拉电阻，需要用户在底板应用时上拉；
- d) 检查设备的 I2C 接口电平是否是 3.3V，如果不是，需要加电平转换电路；
- e) 检查 I2C 接口电源轨是否一致，不同时间域的 I2C 接口互联时，需要考虑总线开关电路；

f) 同一总线下的设备数量不要过多，否则有可能超出 I2C 规范要求的 400pF 的负载电容限制，影响信号波形。

6.17.CAN 接口

ECK31-T13SA 系列核心板支持 2 路 CAN 控制器，支持 CAN 2.0A 和 CAN 2.0B 协议，只需要外接 CAN 收发器即可以进行 CAN 通讯。

6.17.1. 引脚定义

CAN 信号引脚定义

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|----|------|-----|--------|----|------|----|
|----|------|-----|--------|----|------|----|

| | | | | | | |
|----|--------|----|------------|-----|--------|----------|
| 53 | PB5_82 | 82 | 3.3V/VCCIO | I/O | 646.19 | CAN1-RX0 |
| 54 | PB4_84 | 84 | 3.3V/VCCIO | I/O | 640.02 | CAN1-TX0 |
| 55 | PB3_85 | 85 | 3.3V/VCCIO | I/O | 704.08 | CAN0-RX0 |
| 56 | PB2_86 | 86 | 3.3V/VCCIO | I/O | 717.23 | CAN0-TX0 |

6.18.ADC 接口

ECK31-T13SA 系列核心板提供 2 种 ADC 接口，分别是 1 路 GPADC (General Purpose ADC)，4 路 TPADC (Touch Panel ADC)。

GPADC:

- ❖ 12bit 分辨率，最大采样率 1MHz，采样电压范围为：0~1.8V；
- ❖ GPADC 不建议应用于外部有浪涌或高压的 I/O 接口端电压识别，避免造成芯片接口损坏。

TPADC:

- ❖ 4 路 TPADC 接口，12bit 分辨率，8bit 采样精度，最大采样率 1MHz，可用于连接 4 线 RTP 屏或用作 AD_KEY 功能。

6.18.1. 引脚定义

ADC 信号引脚定义

| 引脚 | 网络名称 | MPU | 电平/电源轨 | 类型 | 走线长度 | 说明 |
|----|------------|-----|-----------|----|------|--------|
| 71 | GPADC0_101 | 101 | 1.8V/AVCC | AI | / | GPADC0 |
| 72 | TP_X1_102 | 102 | 1.8V/AVCC | AI | / | TP-X1 |
| 73 | TP_X2_103 | 103 | 1.8V/AVCC | AI | / | TP-X2 |
| 74 | TP_Y1_104 | 104 | 1.8V/AVCC | AI | / | TP-Y1 |
| 75 | TP_Y2_105 | 105 | 1.8V/AVCC | AI | / | TP-Y2 |

6.19.GPIO 接口

ECK31-T13SA 系列核心板最大可提供 50 路 GPIO 接口，但大部分都存在复用功能。用户可根据自身需求对 GPIO 进行灵活配置。

6.20.硬件设计检查项

- ❖ 电源轨：检查 I/O 接口应用是否存在电源轨不一致的问题，例如 1.8V 的信号连接到 3.3V 的信号上。如果出现不同电源轨信号的连接需求，应采用电平转换电路处理。
- ❖ 上电时序：检查底板与核心板连接的信号是否存在底板信号先上电，或者两个板卡信

号上电时间差异很大的情况。

- ❖上拉和下拉电阻：复用 I/O 接口在上电软件配置前存在输出状态不确定的情况，如果信号需要上电时保持确定电平，应在底板上设计上下拉电阻。部分功能信号也需要在底板上设计上拉或下拉电阻，如 I2C 信号。在设计上拉电阻时应注意上拉电源轨的设计。
- ❖ESD 保护：对外接口信号应考虑相应的 ESD 保护设计，ESD 方案的选择应考虑信号速率、通讯协议和应用环境的要求。
- ❖高速信号等长：高速信号应考虑 PCB 的等长设计，包括 USB、以太网、SDIO、显示等。
- ❖阻抗控制：高速信号应考虑 PCB 阻抗控制，阻抗控制的关键是保持阻抗的连续性，底板应参考核心板信号的阻抗进行设计。

7. 软件资源

ECK31-T13SA 系列核心板搭载基于 Linux 5.4.61 版本内核的操作系统，开发板出厂附带嵌入式 Linux 系统开发所需要的交叉编译工具链，U-boot 源代码，Linux 内核和各驱动模块的源代码，以及适用于 Windows 桌面环境和 Linux 桌面环境的各种开发调试工具。

操作系统：

Ubuntu 18.04 系统

系统源码：

u-boot 2018.07

Kernel 5.4.61

Buildroot 201902

Buildroot 202205

Openwrt

开发环境及工具：

USB 烧录工具：PhoenixSuit

SD 卡烧录工具：PhoenixCard

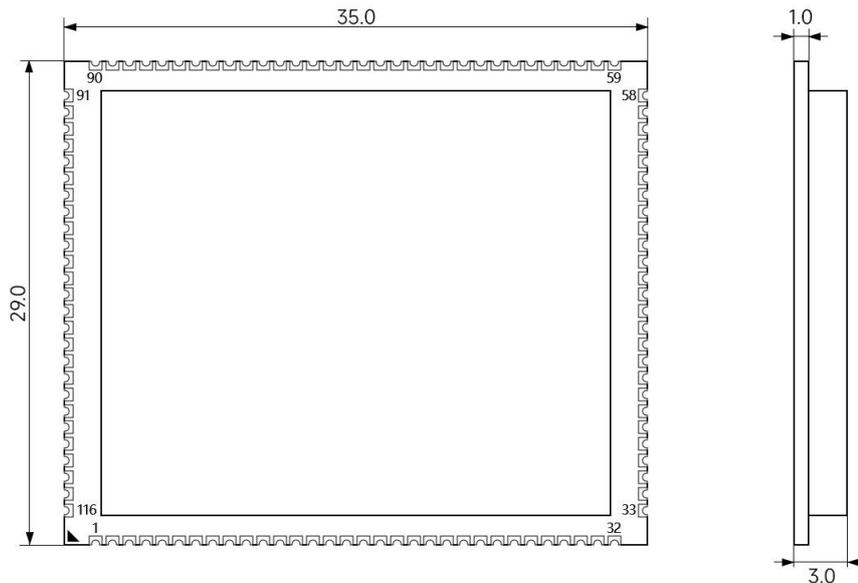
7.1. 系统资源

系统软件资源表

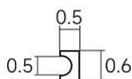
| 类别 | 名称 | 描述 | 源码 |
|---------------|------------------|-----------------------------------|---|
| SPL | spl-pub | Boot0, 引导 uboot | <SDK>/brandy/brandy-2.0/spl-pub/ |
| BOOT | u-boot 2018.07 | 引导程序 | <SDK>/brandy/brandy-2.0/u-boot-2018/ |
| Kernel | Kernel 5.4.61 | Linux 内核 | <SDK>/kernel/linux-5.4/ |
| Device Driver | Audio | 内置音频驱动 | sound/soc/sunxi_v2/* |
| | AWlink | CAN 驱动 | drivers/net/can/sunxi_awlink.c |
| | GMAC | 内置 MAC 驱动 | drivers/net/ethernet/allwinner/sunxi-gmac.c |
| | GPADC | GPADC 驱动 | drivers/input/sensor/sunxi_gpadc.c |
| | GPIO | GPIO 驱动 | drivers/pinctrl/sunxi |
| | LCD | Disp2 显示驱动 | drivers/video/fbdev/sunxi/disp2/disp/lcd/ |
| | LRADC | 按键模块驱动 | drivers/input/keyboard/sunxi-keyboard.c |
| | SMHC | MMC 驱动 | drivers/mmc/host/sunxi-mmc.c |
| | SPI | SPI 驱动 | drivers/spi/spi-sunxi.c |
| | SPI-NAND | SPI-NAND 驱动 | drivers/mtd/awnand/spinand |
| | TVD | CVBS 输入 | drivers/media/platform/sunxi-tvd/ |
| | TVE | CVBS 输出 | drivers/video/fbdev/sunxi/disp2/tv/ |
| | TWI | I2C 驱动 | drivers/i2c/busses/i2c-sunxi.c |
| | UART | 串口驱动 | drivers/tty/serial/sunxi-uart.c |
| VIN | CSI 驱动程序 | drivers/media/platform/sunxi-vin/ | |
| 操作系统 | Buildroot 201902 | 201902 版本 Buildroot | <SDK>/buildroot/buildroot-201902 |
| | Buildroot 202205 | 202205 版本 Buildroot | <SDK>/buildroot/buildroot-202205 |
| | openwrt | openwrt | <SDK>openwrt/openwrt |
| 开发工具 | PhoenixSuit | USB 烧录工具 | /tools/PhoenixSuit |
| | PhoenixCard | SD 卡烧录工具 | /tools/PhoenixCard |

8. 结构尺寸

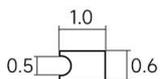
ECK31-T13SA 系列核心板采用 116 PIN, 1.0mm 间距邮票孔接口形式, 可 STM 焊接, 也可以手工焊接。核心板底层无器件, 无裸露走线, 底板设计简单。核心板结构尺寸见下图。



Top pad :



Bottom pad :

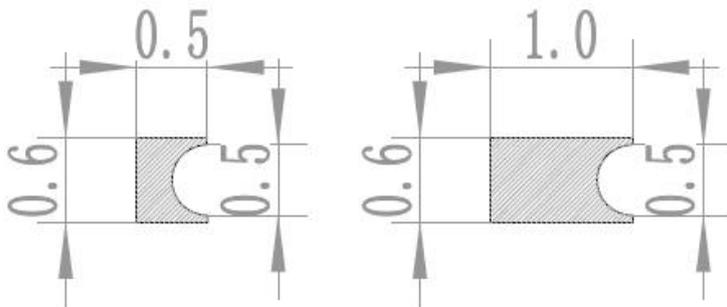


Unit : mm

Pad quantity : 116

Tolerance value : X.X±0.1mm

邮票孔核心板结构尺寸图



邮票孔尺寸图

9. 焊接指导

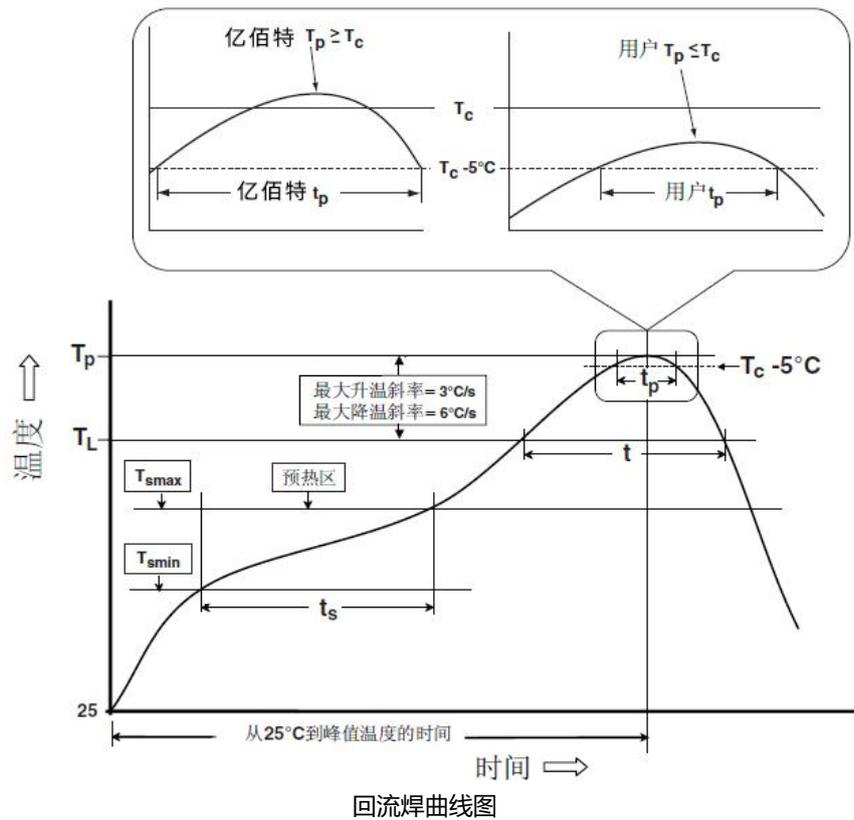
9.1. 回流焊温度

回流焊温度表

| 回流焊曲线特征 | | 有铅工艺组装 | 无铅工艺组装 |
|--------------|--|-----------|-----------|
| 预热/保温 | 最低温度 (T _{smin}) | 100℃ | 150℃ |
| | 最高温度 (T _{smax}) | 150℃ | 200℃ |
| | 时间 (T _{smin} ~T _{smin}) | 60-120 秒 | 60-120 秒 |
| 升温斜率 (TL~Tp) | | 3℃/秒, 最大值 | 3℃/秒, 最大值 |
| 液相温度 (TL) | | 183℃ | 217℃ |
| TL 以上保持时间 | | 60~90 秒 | 60~90 秒 |

| | | |
|--|-------------------------|-------------------------|
| 封装体峰值温度 T_p | 用户不能超过产品“潮湿敏感度”标签标注的温度。 | 用户不能超过产品“潮湿敏感度”标签标注的温度。 |
| 在指定分级温度 (T_c) 5°C 以内的时间 (T_p), 见下图 | 20 秒 | 30 秒 |
| 降温斜率 ($T_p \sim T_L$) | 6°C/秒, 最大值 | 6°C/秒, 最大值 |
| 室温到峰值温度的时间 | 6 分钟, 最长 | 8 分钟, 最长 |
| ※温度曲线的峰值温度 (T_p) 容差定义是用户的上限 | | |

9.2. 回流焊曲线图



10. 参考文档

T113x_Datasheet_V1.2.pdf

11. 修订说明

修订说明表

| 版本 | 修改内容 | 修改时间 | 编制 | 校对 | 审批 |
|------|------|----------|-----|-----|-----|
| V1.0 | 初稿 | 24-11-18 | WFX | WYQ | WFX |
| | | | | | |

12. 关于我们



销售热线: 4000-330-990

技术支持: support@cdebyte.com 官方网站: <https://www.ebyte.com>

公司地址: 四川省成都市高新西区西区大道 199 号 B5 栋

((()))[®]
EBYTE 成都亿佰特电子科技有限公司
Chengdu Ebyte Electronic Technology Co.,Ltd.